BAB III

PELAKSANAAN KERJA MAGANG

3.1 Kedudukan dan Koordinasi

Dalam kegiatan MBKM magang ini, peserta magang ditempatkan pada divisi *engineering* sebagai seorang *intern engineer* dan bertugas memprogram RTU Schneider untuk Kubikel 20 KV. Alur kerja magang adalah sebagai berikut, peserta magang menerima tugas dari supervisor, kemudian menyelesaikan tugas tersebut dan menyerahkannya kembali kepada supervisor untuk diperiksa. Apabila supervisor menilai ada kekurangan atau hal yang perlu ditambahkan, peserta magang akan memperbaikinya. Proses ini berlangsung berulang hingga supervisor memastikan bahwa hasil pekerjaan sudah memenuhi standar yang ditetapkan.

3.2 Tugas dan Uraian Kerja Magang

3.2.1 Tugas Kerja Magang

Pada kegiatan magang ini, peserta magang diberikan tugas untuk memprogram RTU Schneider untuk kubikel 20 KV. Pemrograman RTU dilakukan menggunakan *software* Easergy Builder. Pemrograman yang dibuat merupakan logika kerja antara RTU dengan komponen *rectifier* yang merupakan sumber listrik utama dan cadangan dari RTU. *Rectifier* bertugas untuk mengubah tegangan AC menjadi tegangan DC 48 Volt sesuai dengan spesifikasi RTU selagi mengisi daya dari baterai, dan ketika kubikel terputus dari sumber tegangan, *rectifier* bertugas untuk memastikan kubikel tetap menyala dan mengirimkan data. Program RTU yang telah dibuat kemudian diberikan kepada supervisor untuk diuji.

3.2.2 Uraian Kerja Magang

RTU yang digunakan untuk otak utama sistem SCADA kubikel 20KV adalah Schneider Saitel DR-HUe. RTU Saitel DR-HUe memiliki fungsi untuk mengatur komunikasi antara gardu dengan pusat. RTU Saitel DR-HUe memiliki processor TI Sitara AM335x dengan kecepatan maksimal 600MHz, RAM 256MB, dan penyimpanan sebesar 256 MB. RTU Saitel DR-HUe memiliki keuntungan yaitu memiliki module I/O yang modular, dapat berkomunikasi menggunakan protokol IEC 61850, DNP3, Modbus, dll [5]. RTU juga akan dihubungkan dengan AB DIDO sebagai I/O module, dan module AB_SER untuk komunikasi serial.

Pemrograman RTU akan dilakukan menggunakan software Easergy Builder. Easergy builder dapat digunakan untuk mengatur komunikasi RTU dengan pusat, mengatur I/O module, membuat logika sederhana untuk RTU, dan banyak lagi. I/O dan logika yang dibuat dapat diuji menggunakan halaman web selagi terhubung langsung dengan RTU.

Program yang dikerjakan, melanjutkan hasil kerja dari salah satu peserta magang. Pemrograman yang telah dilakukan adalah inisialisasi dan pengaturan I/O module, serta pengaturan tags. Gambar 3.1 merupakan tampilan halaman workspace dari software Easergy Builder.



Gambar 3.1. Tampilan halaman Workspace

Halaman workspace digunakan untuk memilih RTU dan module module yang digunakan, mengatur versi firmware RTU, dan mengatur konektivitas RTU. Workspace dapat juga membuat, mendownload, dan

mengupload konfigurasi dari RTU. Pemrograman RTU dilakukan pada halaman configuration seperti pada gambar 3.2.

	Constanting Constructions Constructions for the Construction of the Construction of th

Gambar 3.2. Tampilan halaman Configuration

Pemrograman yang dapat dilakukan pada halaman configuration yaitu mengatur protokol yang digunakan antara RTU dengan komponen lainnya, dan pengaturan tags yang digunakan pada RTU.

	sena comparation to kiro	1.00	view new machina						
ices Channels	coreDb Synchro	onization							<u> </u>
2 X 4 1									
us Command	Analog Setpoint	dbNET							
Name	Sour		V AND V Destination V	S - Error rov	vs				
Name	Description	Source1 Device	Source1 Coordinates	Source1 Vmask	Destination1 Device	Destination 1 Coordinates	Destination2 Device	Destination2 Coordinates	De
Rect_48RF	RECT_48RF	LOGIC	OR(Recti_BusUV_Stage_1.Recti_BusOV_Stage_1.Recti_ACF)		SOE	Rect_48RF.SPS	IEC104S	71:MSP	
FAIL_SER1	Fail in the serial exp	supervision	FAL_SER1						
INS_FDI_MPUF		FDI	DIAG SERV						T
RTU_IEDCF	RTU_EDCF	LOGIC	NOT(Kom_ins)		SOE	RTU_EDCF:SPS	EC1045	94:MSP	T
RECTI_IEDCF	RECT_EDCF	LOGIC	NOT(Recti_EDCF)		SOE	RECTLEDCF:SPS	IEC104S	1118:MSP	Т
RECTI_RUN_TEST	RECT_Running Test	LOGIC	CTRL_AC_ON_OFF		SOE	RECTLRUN_TEST.SPS	EC104S	1183:MSP	
RECTI_BAD	RECT_Recti BAD	LOGIC	F(OR(RECTL_BAD_1==1,UVT_Stage_2==1,0VT_Stage_2==1),1,0)						T
RECTI_BAD_SEND	Send Recti BAD	LOGIC	RECTIBAD		SOE	RECTL_BAD_SEND:SPS	IEC1045	1182:MSP	Т
RECTI_BACKUP	Nilai TME Uji	LOGIC	15						
RECTI_TEST_OF	Menit	LOGIC	F(RECT_RUN_UnLatch,MINUTE)						
RECTI_AC_LOGIC	SET Pengurangan	LOGIC	F(RECTL_TEST_OF+46,RECTL_TEST_OF+RECTL_BACKUP,(RECTL_TEST_OF+RECTL_BACKUP)-60)						
RECTI_AC_ON		LOGIC	#(OR(RECTLAC_LOGIC==MINUTE.RECT_BattV_S<51.5),1,0)		LOGIC	RECTLBAD:VAL:1			
RECTI_BAD_1		LOGIC	F(AND(RECTL_RUN_TEST==1,RECT_BattV_S<51.5),1,0)						
Healty_Batt_Bulan		LOGIC	F(OR(AND(MONTH+=6,DAY==6,HOUR==12,MNUTE==0),AND(MONTH==12,DAY==12,HOUR==12,						
UVT_Stage_2		LOGIC	IF(AND(Recti_BusUV_Stage_1==1,RECT_BattV_S<42),1,0)		LOGIC	RECTLRUN_TEST:VAL:0			
OVT_Stage_2		LOGIC	F(AND(Recti_BusOV_Stage_1==1,RECT_BattV_S>56),1,0)		LOGIC	RECTL_RUN_TEST:VAL:0			
BATT_FAIL	RECT_BattAirm	LOGIC	F(OR(Batt1_Bolean++1,Batt2_Bolean++1,Batt3_Bolean++1,Batt4_Bolean++1),1,0)		SOE	BATT_FAIL:SPS	IEC104S	1181:MSP	
Batt 1_Bolean		LOGIC	IF(OR(batt1<11000,batt1>15000),1,0)						Т
Batt2_Bolean		LOGIC	IF(OR(batt2<11000,batt2>15000),1,0)						
Patt 2 Balazo		1000	E(OD/batt2<11000 batt2<15000) 1 0)						т

Gambar 3.3. Tampilan halaman coreDB

Pembuatan logika dibuat menggunakan tab coreDB seperti pada gambar 3.3. Pemrograman logika dilakukan menggunakan beberapa syntax yang dimiliki oleh Easergy Builder seperti *syntax* OR, AND, IF, dll [6].

Sta	atus Command Anal	og Setpoint	dbNET							
	Name	Source	~	AND V Destination V Error rows						
	Name	Description	Source1 Device	Source1 Coordinates						
52	RECTI_RUN_TEST	RECT_Running T	LOGIC	CTRL_AC_ON_OFF						
53	RECTI_BAD	RECT_Recti BAD	LOGIC	IF(OR(RECTI_BAD_1==1,UVT_Stage_2==1,OVT_Stage_2==1),1,0)						
54	RECTI_BAD_SEND	Send Recti BAD	LOGIC	RECTIBAD						
55	RECTI_BACKUP	Nilai TIME Uji	LOGIC	15						
56	RECTI_TEST_OF	Menit	LOGIC	IF(RECTI_RUN_UnLatch,MINUTE)						
57	RECTI_AC_LOGIC	SET Pengurangan	LOGIC	F(RECTI_TEST_OF<46,RECTI_TEST_OF+RECTI_BACKUP,(RECTI_TEST_OF+RECTI_BACKUP)-60)						
58	RECTI_AC_ON		LOGIC	IF(OR(RECTI_AC_LOGIC==MINUTE,RECT_BattV_S<51.5),1,0)						
59	RECTI_BAD_1		LOGIC	IF(AND(RECTI_RUN_TEST==1,RECT_BattV_S<51.5),1,0)						
60	Healty_Batt_Bulan		LOGIC	F(OR(AND(MONTH==6,DAY==6,HOUR==12,MINUTE==0),AND(MONTH==12,DAY==12,HOUR==12,MINUTE==0)),1,0)						

Sta	tus Command	Analog Set	point dbNET				
	Name		Source	~	AND 🗸	Destination	~
	Name		Source1 Vmask	Destination1 Device	Destination1 Coordinates	Destination2 Device	Destination2 Coordinates
52	RECTI_RUN_TEST			SOE	RECTI_RUN_TEST:SPS	IEC104S	1183:MSP
53	RECTI_BAD						
54	RECTI_BAD_SEND			SOE	RECTI_BAD_SEND:SPS	IEC104S	1182:MSP
55	RECTI_BACKUP						
56	RECTI_TEST_OF						
57	RECTI_AC_LOGIC						
58	RECTI_AC_ON			LOGIC	RECTI_BAD:VAL:1		
59	RECTI_BAD_1						
60	Healty_Batt_Bulan	=0)),1,0)					

Gambar 3.4. Program Pengujian Rectifier

Stat	tus Command	Analog	Setpoint	dbNET		
	Name		Sourc	e v AND v Destination	~	🖋 🖾 🗆 Error rows
	Name	Description	Source1 Device	Source1 Coordinates	Source2 Device	Source2 Coordinates
0	CTRL_NOTIns	DO_OSIM_1	LOGIC	NOT(Kom_ins)		
1	CTRL_AC_ON	DO_OSIM_2	LOGIC	F(OR(Healty_Batt_Bulan==1,UVT_Stage_2==1,OVT_Stage_2==1,ctrl_master_Rect==1),1,0)		
2	LBS1_CTRL	LBS2_B42B	EC104S	8452:CDC		
3	LBS2_CTRL	CTRL_LBS2 DO	IEC104S	8708:CDC		
	RESET_FDI	CTRL_reset fdi	IEC104S	8453:CSC	LOGIC	AND(TEMPO(RESET_FDI,5)==0,RESET_FDI==1)
5	ctrl_master_R	CTRL_Recti	EC104S	4:CDC	LOGIC	IF(OR(CTRL_AC_ON_OFF==0,RECTL_AC_ON==1),2,1)
6	RECTI_RUN		LOGIC	RECTI_RUN_TEST	LOGIC	AND(TEMPO(RECTI_RUN_UnLatch,1)==0,RECTI_RUN_UnLatch==1)
	LBS1_DumRe		LOGIC	LBS1_DUMMY	LOGIC	AND(TEMPO(LBS1_DumReal_Unlatch,1)==0,LBS1_DumReal_Unlatch==1)
8	LBS2_DumRe		LOGIC	LBS2_DUMMY	LOGIC	AND(TEMPO(LBS2_DumReal_Unlatch,1)==0,LBS2_DumReal_Unlatch==1)
9	CTRL_Healty		LOGIC	Healty_Batt_Bulan	LOGIC	AND(TEMPO(CTRL_Healty_Batt_Bulan,1)==0,CTRL_Healty_Batt_Bulan=
10	CTRL_Dummy	DO_OSIM_7	LOGIC	F(ctrl_master_DummyRealLBS1==2,1,0)	LOGIC	AND(TEMPO(CTRL_DummyLBS1,5)==0,CTRL_DummyLBS1==1)
11	CTRL_RealLB	DO_OSIM_8	LOGIC	F(OR(ctrl_master_DummyRealLBS1==1,LBS1_SetReal==1),1,0)	LOGIC	AND(TEMPO(CTRL_RealLBS1,5)==0,CTRL_RealLBS1==1)
12	ctrl_master_D		IEC104S	8460:CDC	LOGIC	IF(LBS1_DUMMY==1,2,1)
13	RECTIBAD	Send RECTLBAD	LOGIC	RECTI_BAD	LOGIC	AND(TEMPO(RECTIBAD,5)==0,RECTIBAD==1)

Name	s	Source	×	AND V		V K Error rows					
Name	Source3 Coordinates	Destination1 Device	Destination1 Coordinates	Destination2 Device	Destination2 Coordinates	Destination3 Device	Destination3 Coordinates	Destination4 Device	Destination4 Coordinates	Destination5 Device	Destination5 Coordinates
CTRL_NOTIns		claq	1001050000	SOE	CTRL_NOTIns:SPS						
CTRL_AC_ON		claq	1001050001	SOE	CTRL_AC_ON_O	LOGIC	RECTI_BAD:VAL:1	LOGIC	RECTI_RUN_TEST:VAL:0	LOGIC	RECTI_RUN_TEST:VA
LBS1_CTRL		claq	1001150000	SOE	LBS1_CTRL:DPS						
LBS2_CTRL		claq	1001150001	SOE	LBS2_CTRL:DPS						
RESET_FDI		FDI	HR:250								
ctrl_master_R											
RECTI_RUN											
LBS1_DumRe											
LBS2_DumRe											
CTRL_Healty											
CTRL_Dummy		claq	1001050002								
CTRL_RealLB		claq	1001050003								
ctrl_master_D											
DECTIDAD		805	DECTIBAD-SPS								

Gambar 3.5. Program Pengujian Rectifier

7 Pemrograman Komunikasi RTU..., Maximilianus Adeo Q. M., Universitas Multimedia Nusantara

Sta	itus Comma	and Analog		Setpoint	dbl	NET				
	Name			Source		~	A	ND ~	Des	tination
	Name	Description	Ŧ	Source1 Device		Source1 Coordinates	Source1 Vmask		Destination1 Device	Destination1 Coordinates
)	MONTH	Current Month		supervision		MONTH				
1	MINUTE	Current Minute		supervision		MINUTE				
2	HOUR	Current Hour		supervision		HOUR				
1	DAY	Current Day		supervision		DAY				

Gambar 3.6. Program Pengujian Rectifier



Pemrograman Komunikasi RTU..., Maximilianus Adeo Q. M., Universitas Multimedia Nusantara



Gambar 3.8. Flowchart Program Pengujian Rectifier (2)

Program logika pertama yang dibuat merupakan logika untuk menguji *rectifier* dan baterai untuk memastikan komponen - komponen tersebut masih berjalan dengan optimal. Program yang dibuat dapat dilihat pada gambar 3.4 hingga gambar 3.6 dan *flowchart* dapat dilihat pada gambar 3.7. Logika pengujian aktif ketika *tag* Healty_Batt_Bulan menjadi 9 TRUE karena kubikel sudah menyala selama 6 atau 12 bulan. Hal ini akan CTRL_AC_ON_OFF mengaktifkan membuat nilai tag tag RECTI RUN TEST menjadi TRUE dan memutuskan kubikel dari sumber Karena RECTI_RUN_TEST bernilai TRUE tegangan. maka. RECTI RUN Unlatch akan aktif dan membuat tag RECTI TEST OF aktif. RECTI_TEST_OF akan memberikan nilai MINUTE yang diambil dari jam internal RTU, nilai MINUTE digunakan oleh logika RECTI_AC_LOGIC. RECTI_AC_LOGIC akan menambahkan nilai MINUTE dengan nilai RECTI_BACKUP, hasil penjumlahan akan digunakan sebagai batas waktu pengujian rectifier yaitu sekitar 15 menit. Ketika nilai MINUTE sama dengan nilai RECTI AC LOGIC, maka tag RECTI_AC_ON akan aktif. RECTI_AC_ON akan mengaktifkan tag ctrl_master_Recti yang membuat CTRL_AC_ON_OFF aktif kembali menghubungkan kubikel kepada sumber tegangan lagi. Selama pengujian dilakukan terdapat tag yang bertugas untuk menilai pengujian rectifier, yaitu tag RECTI_BAD_1. RECTI_BAD_1 memiliki logika dimana selama pengujian rectifier berlangsung, bila tegangan baterai kurang dari 51,5 Volt maka tag RECTI_BAD akan aktif. RECTI_BAD akan mengaktifkan tag RECTIBAD yang nantinya membuat RECTI_BAD_SEND aktif dan mengirimkan status dari rectifier kepada server pusat dan membatalkan pengujian.



Pemrograman Komunikasi RTU..., Maximilianus Adeo Q. M., Universitas Multimedia Nusantara

	Name	Source			AND V	Destination	~	~2
	Name	Description	Source1 Device	Source1 Coordinates	Source1 Vmask	Destination1 Device	Destination1 Coordinates	Destination1 Threshold
10	FDI_IFS		FDI	HR:293		IEC104S	8636:MMEA	1
1	FDI_IFT		FDI	HR:294		IEC104S	8637:MMEA	1
12	FDI_IFN		FDI	HR:295		IEC104S	8638:MMEA	1
13	RECT_VAC		RECT	HR:0				
14	RECT_IDC		RECT	HR:3				
15	RECT_VDC		RECT	HR:4				
16	RECT_VAC_SCALE		LOGIC	RECT_VAC/10		IEC104S	1218:MMEC	1
17	RECT_IDC_SCALE		LOGIC	RECT_IDC/10		IEC104S	1219:MMEC	1
18	RECT_VDC_SCALE		LOGIC	RECT_VDC/10		IEC104S	1220:MMEC	1
19	RECT_BattV		RECT	HR:6				
20	RECT_BattA		RECT	HR:7				
21	RECT_Temp		RECT	HR:8				
22	RECT_BattV_S		LOGIC	RECT_BattV/10		IEC104S	1201:MMEC	1
23	RECT_BattA_S		LOGIC	RECT_BattA/10		IEC104S	1221:MMEC	1
24	RECT_Temp_S		LOGIC	RECT_Temp/10		IEC104S	1242:MMEC	1
25	batt 1		RECT	HR:10		IEC104S	201:MMEA	1
26	batt2		RECT	HR:11		IEC104S	202:MMEA	1
27	batt3		RECT	HR:12		IEC104S	203:MMEA	1
28	batt4		RECT	HR:13		IEC104S	204:MMEA	1

Gambar 3.9. Program Pengecekan baterai

Sta	tus Command Analog	Setpoint	dbNET						
	Name	Source		✓ AND ∨ Destination ✓ E					
	Name	Description	Source1 Device	Source1 Coordinates					
61	UVT_Stage_2		LOGIC	IF(AND(Recti_BusUV_Stage_1==1,RECT_BattV_S<42),1,0)					
62	OVT_Stage_2		LOGIC	IF(AND(Recti_BusOV_Stage_1==1,RECT_BattV_S>56),1,0)					
63	BATT_FAIL	RECT_BattAirm	LOGIC	IF(OR(Batt1_Bolean==1,Batt2_Bolean==1,Batt3_Bolean==1,Batt4_Bolean==1),1,0)					
64	Batt 1_Bolean		LOGIC	IF(OR(batt1<11000,batt1>15000),1,0)					
65	Batt2_Bolean		LOGIC	IF(OR(batt2<11000,batt2>15000),1,0)					
66	Batt 3_Bolean		LOGIC	IF(OR(batt3<11000,batt3>15000),1,0)					
67	Batt4_Bolean		LOGIC	IF(OR(batt4<11000,batt4>15000),1,0)					

Sta	atus Command	Analog Set	point dbNET				
	Name		Source	AN	D ~ [Destination	~
	Name		Source1 Vmask	Destination1 Device	Destination1 Coordinates	Destination2 Device	Destination2 Coordinates
60	Healty_Batt_Bulan),AND(MONTH==12	2,DAY=				
61	UVT_Stage_2	1,0)		LOGIC	RECTI_RUN_TES		
62	OVT_Stage_2	1,0)		LOGIC	RECTI_RUN_TES		
63	BATT_FAIL	==1,Batt4_Bolean=	=1),1,0)	SOE	BATT_FAIL:SPS	IEC104S	1181:MSP
64	Batt 1_Bolean						
65	Batt2_Bolean						
66	Batt3_Bolean						
67	Batt4 Bolean						

Gambar 3.10. Program Pengecekan baterai



Pemrograman Komunikasi RTU..., Maximilianus Adeo Q. M., Universitas Multimedia Nusantara



Gambar 3.11. Flowchart Program Pengecekan baterai

Program logika kedua yang dibuat digunakan untuk mengawasi kondisi baterai. Pemrograman kedua dapat dilihat pada gambar 3.8 hingga gambar 3.9 dan *flowchart* dapat dilihat pada gambar 3.10. Kubikel menggunakan 4 buah baterai sebagai sumber listrik cadangan, oleh karena itu *tag* batt1 hingga batt4 bertugas untuk menarik kapasitas dari baterai secara langsung. Batt1_Bolean hingga Batt4_Bolean akan memantau data dari batt1 hingga batt4, memastikan charge baterai berada selalu berada pada 11000 mah hingga 15000mah. Bila kapasitas baterai salah satu baterai berada diluar jangkauan itu, maka BAT_FAIL akan aktif dan mengirimkan kondisinya kepada *server* pusat.

Sta	tus Command	Analog Setpo	oint 🤇 🤇	Ibnet				
	Name	s	ource	~		AND \lor	Destina	tion
	Name	Description	Sourc	e1 5	Source1 Coordinates			
41	Recti_BusOV_Stage_1	RECT_OVR	RECT		IS:28682			
42	Recti_BusUV_Stage_1	RECT_UVR	RECT		5:28683			
Sta	atus Command An	alog Setpoint	dbNE	т				
	Name	Source	e	~		AND 🗸	Destination	~
	Name	ates V	ource1 mask	Destination1 Device	Destina Coordir	ation1 nates	Destination2 Device	Destination2 Coordinates
41	Recti_BusOV_Stage_1			SOE	Recti_B	usOV_Stage_1:SPS	IEC104S	1179:MSP
42	Recti_BusUV_Stage_1			SOE	Recti_B	usUV_Stage_1:SPS	IEC104S	1180:MSP

Status Command Analog Setpoint dbNET										
	Name		Sourc	e	~	AND \vee	Destination			
	Name	Descriptio	Source1 on Device		Source1 Coordinates					
47	47 Rect_48RF RECT_48F		RF L	LOGIC OR(Recti_BusUV_Stag		Stage_1,Recti_BusOV_S	je_1,Recti_BusOV_Stage_1,Recti_ACF)			
Stat	Status Command Analog Setnoint dbNET									
	Name	So	urce	~	AND V	Destination	~			
	Name	ates	Source1 Vmask	Destination1 Device	Destination1 Coordinates	Destination2 Device	Destination2 Coordinates			
47	Rect_48RF	_BusUV_Stage		SOE	Rect_48RF:SPS	IEC104S	71:MSP			

Gambar 3.13. Program Pengecekan Output Rectifier

Sta	tus Command Ar	ialog 📕 Setpoin	t dbNET	
	Name	Sou	rce	V AND V Destination
	Name	Description	Source1	Source1 Coordinates
34	³⁴ UVT_Stage_2		LOGIC	IF(AND(Recti_BusUV_Stage_1==1,RECT_BattV_S<42),1,0)
35	OVT_Stage_2		LOGIC	IF(AND(Recti_BusOV_Stage_1==1,RECT_BattV_S>56),1,0)

Sta	tus Command	Analog Setpo	oint dbNl	ET		
	Name	S	ource	~	AND \sim	D
	Name		Source1 Vmask	Destination1 Device	Destination1 Coordinates	
34	UVT_Stage_2	tV_S<42),1,0)		LOGIC	RECTI_RUN_TEST:VAL:0	
35	OVT_Stage_2	tV_S>56),1,0)		LOGIC	RECTI_RUN_TEST:VAL:0	

Gambar 3.14. Program Pengecekan Output Rectifier





Gambar 3.15. Flowchart Program Pengecekan Output Rectifier

Program logika ketiga yang dibuat digunakan untuk mengawasi besar tegangan yang dikeluarkan oleh *rectifier*. Pemrograman ketiga dapat dilihat pada gambar 3.11 hingga gambar 3.13 dan *flowchart* dapat dilihat

Pemrograman Komunikasi RTU..., Maximilianus Adeo Q. M., Universitas Multimedia Nusantara

pada gambar 3.14. Pada sudah terdapat sistem yang dapat memberitahukan bila tegangan yang dikeluarkan overvoltage atau undervoltage. Bila tegangan output undervoltage maka tag Recti BusUV Stage 1 akan aktif, sedangkan bila overvoltage maka Recti_BusOV_Stage_1. Bila salah satu dari kedua tag tersebut aktif maka server pusat akan mendapatkan kabar. Recti_48RF akan aktif jika salah satu dari kedua tag tersebut aktif, tag Recti_48RF kemudian akan aktif menandakan rectifier aktif. Bila tegangan terus menurun hingga kurang dari 42 volt maka UVT_Stage_2 akan aktif, sedangkan bila tegangan terus naik hingga lebih dari 56 volt maka OVT_Stage_2 akan aktif. Bila salah satu dari tag tersebut aktif maka, tag CTRL_AC_ON_OFF akan aktif memulai pengujian rectifier seperti pada program logika pertama. Jika tag UVT_Stage_2 atau OVT_Stage_2 aktif maka tag RECTI_BAD akan aktif juga. Karena tag RECTI_BAD aktif, maka status rectifier akan dikirimkan kepada pusat seperti yang terjadi ketika pengujian gagal pada program pengujian rectifier.

	Stat	us	Command	Analog	Setpoint	dbNET	
		Name			Source		✓ OR ✓ Destination
		Nam	ne		Description	Source1 Device	Source1 Coordinates
37		Rec	ti_ACF		1	RECT	IS:28674
47		Rect_	_48RF		RECT_48RF	LOGIC	OR(Recti_BusUV_Stage_1,Recti_BusOV_Stage_1,Recti_ACF)
78		ACF_	220F		220F	LOGIC	IF(AND(RECTI_RUN_TEST==0,Recti_ACF==1),1,0)

Gambar 3.16. Program Koneksi Sumber Tegangan

St	atus Command	Analog Set	oint dbNE	Т			
	Name		Source	~	OR 🗸	Destination	~
	Name		Source1 Vmask	Destination1 Device	Destination1 Coordinates	Destination2 Device	Destination2 Coordinates
37	Recti_ACF						
47	Rect_48RF	ecti_ACF)		SOE	Rect_48RF:SPS	IEC104S	71:MSP
78	ACF_220F			SOE	ACF_220F:SPS	EC104S	62:MSP

Gambar 3.17. Program Koneksi Sumber Tegangan

Pemrograman Komunikasi RTU..., Maximilianus Adeo Q. M., Universitas Multimedia Nusantara



Gambar 3.18. Flowchart Program Koneksi Sumber Tegangan

Program logika keempat yang dibuat digunakan untuk melihat koneksi sumber tegangan dengan *rectifier*. Pemrograman kedua dapat dilihat pada gambar 3.15 hingga gambar 3.16 dan *flowchart* dapat dilihat pada gambar 3.17. Bila kubikel terputus dari sumber tegangan maka alarm pada *rectifier* akan menyala, mengaktifkan *tag* RECTI_ACF. Karena RECTI_ACF aktif maka, Rect_48RF akan aktif mengirimkan statusnya

kepada *server* pusat. *Tag* ACF_220F juga akan aktif dan mengirimkan statusnya kepada *server* pusat menandakan kalau tegangan sumber terputus.

3.3 Kendala yang Ditemukan

Selama pekerjaan magang ini dilakukan terdapat kendala yang dihadapi yaitu seputar penggunaan *software* Easergy Builder. Referensi mengenai Easergy Builder masih sangat sedikit, referensi yang ditemukan biasanya hanya berupa video tutorial singkat mengenai cara menggunakan fitur tertentu yang hanya tersedia pada RTU tertentu juga.

3.4 Solusi atas Kendala yang Ditemukan

Untuk mengatasi kendala yang dihadapi, peserta magang berkonsultasi dengan supervisor mengenai *software* Easergy Builder. Peserta magang juga mempelajari proyek - proyek RTU schneider sebelumnya untuk memahami bagaimana alur kerja dari program logika yang dibuat. Schneider juga menyedia sebuah buku panduan mengenai *software* Easergy Builder yang tersedia secara gratis.



17 Pemrograman Komunikasi RTU..., Maximilianus Adeo Q. M., Universitas Multimedia Nusantara